

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of	)	
	)	
Hiroshi KOMURASAKI et al.	)	Group Art Unit: Unassigned
	)	
Application No.: Unassigned	)	Examiner: Unassigned
	)	
Filed: August 21, 2003	)	Confirmation No.: Unassigned
	)	
For: OSCILLATOR CIRCUIT AND L LOAD	)	
DIFFERENTIAL CIRCUIT ACHIEVING	)	
A WIDE OSCILLATION FREQUENCY	)	
RANGE AND LOW PHASE NOISE	)	
CHARACTERISTICS	)	

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japan Patent Application No. 2003-056952

Filed: March 4, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: August 21, 2003

By: 

Platon N. Mandros  
Registration No. 22,124

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月 4日

出 願 番 号

Application Number:

特願2003-056952

[ ST.10/C ]:

[ JP2003-056952 ]

出 願 人

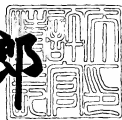
Applicant(s):

三菱電機株式会社

2003年 3月28日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3021655

【書類名】 特許願

【整理番号】 542450JP01

【提出日】 平成15年 3月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H03B 5/18

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 小紫 浩史

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 佐野 智弘

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 佐藤 久恭

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 熊本 敏夫

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 橘 詰 靖之

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【ブルーフの要否】	要	

【書類名】 明細書

【発明の名称】 発振回路およびＬ負荷差動回路

【特許請求の範囲】

【請求項１】 ＬＣ共振回路の正帰還によって発振する発振回路であって、前記ＬＣ共振回路は、スイッチ回路によってインダクタンスを可変とするインダクタンス可変部と、容量素子とを含む、発振回路。

【請求項２】 前記インダクタンス可変部は、第１および第２の入出力端子と、前記第１の入出力端子を始点として、半導体基板上に層間絶縁膜を介して形成されたスパイラル状の配線層と、

前記配線層の任意の位置に第１の端子が接続され、第２の端子が共通に前記第２の入出力端子に接続される複数の前記スイッチ回路とを含み、

前記複数のスイッチ回路のうちのいずれか１つがオンされると、前記配線層上の前記オンされたスイッチ回路が接続される位置と前記第２の入出力端子とを電気的に結合する、請求項１に記載の発振回路。

【請求項３】 前記インダクタンス可変部は、

第１の端子が、前記複数のスイッチ回路のうちの１つのスイッチ回路の第１の端子に接続され、第２の端子が、前記複数のスイッチ回路のうちの他の１つのスイッチ回路の第１の端子に接続される、第２の複数のスイッチ回路をさらに含み、

前記複数のスイッチ回路のうちのいずれか１つと、前記第２の複数のスイッチ回路のうちのいずれか１つとがオンされると、前記配線層上の前記オンされたスイッチ回路が接続される位置と前記第２の入出力端子とを電気的に結合する、請求項２に記載の発振回路。

【請求項４】 前記インダクタンス可変部は、

第１および第２の入出力端子と、

前記第１の入出力端子を始点として、半導体基板上に層間絶縁膜を介して形成された複数のスパイラル状の配線層と、

各前記複数の配線層の終点と前記第２の入出力端子との間に結合された複数の

前記スイッチ回路とを含み、

前記複数のスイッチ回路のうちのいずれか1つがオンされると、前記複数の配線層のうち、前記オンされたスイッチ回路が結合される1つの配線層の終点と前記第2の入出力端子とを電氣的に結合する、請求項1に記載の発振回路。

【請求項5】 前記スイッチ回路は、制御電圧の電圧レベルに応じて、オン／オフするトランジスタ素子を含む、請求項3または4に記載の発振回路。

【請求項6】 前記LC共振回路において、さらに、前記容量素子の容量値を可変とする、請求項1に記載の発振回路。

【請求項7】 正帰還結合された一対のトランジスタと、差動型のLC共振回路とからなる発振回路であって、

前記LC共振回路は、

第1および第2の入出力端子を含み、第2の入出力端子が固定ノードに共通に接続され、インダクタンスを可変とする、前記第1および第2のインダクタンス可変部と、

前記第1および第2のインダクタンス可変部の第1の入出力端子の間に結合される、第1のスイッチ回路とを含み、

各前記第1および第2のインダクタンス可変部は、

前記第1の入出力端子を始点として、半導体基板上に層間絶縁膜を介して形成されたスパイラル状の配線層と、

前記配線層の任意の位置に第1の端子が接続され、第2の端子が共通に前記第2の入出力端子に接続される、複数の第2のスイッチ回路とを有し、

前記複数の第2のスイッチ回路のうちのいずれか1つがオンされると、前記配線層上の前記オンされた第2のスイッチ回路の接続位置と前記第2の入出力端子とを電氣的に結合し、

前記第1のスイッチ回路が、前記第2のスイッチ回路がオンされたことに応じてオンされると、前記第1および第2のインダクタンス可変部を電氣的に結合する、発振回路。

【請求項8】 正帰還結合された一対のトランジスタと、差動型のLC共振回路とからなる発振回路であって、

前記 LC 共振回路は、

第 1 および第 2 の入出力端子を含み、第 2 の入出力端子が固定ノードに共通に接続され、インダクタンスを可変とする、前記第 1 および第 2 のインダクタンス可変部と、

前記第 1 および第 2 のインダクタンス可変部の第 1 の入出力端子の間に結合される、第 1 のスイッチ回路とを含み、

各前記第 1 および第 2 のインダクタンス可変部は、

前記第 1 の入出力端子を始点として、半導体基板上に層間絶縁膜を介して形成された複数のスパイラル状の配線層と、

各前記複数の配線層の終点と前記第 2 の入出力端子との間に結合された複数の第 2 のスイッチ回路とを有し、

前記複数の第 2 のスイッチ回路のうちのいずれか 1 つがオンされると、前記複数の配線層のうち、前記オンされた第 2 のスイッチ回路が接続される 1 つの配線層の終点と前記第 2 の入出力端子とを電気的に結合し、

前記第 1 のスイッチ回路が、前記第 2 のスイッチ回路がオンされたことに応じてオンされると、前記第 1 および第 2 のインダクタンス可変部を電気的に結合する、発振回路。

【請求項 9】 前記第 1 および第 2 のインダクタンス可変部は、差動型インダクタ素子を構成する、請求項 7 または 8 に記載の発振回路。

【請求項 10】 前記第 1 のスイッチ回路および前記複数の第 2 のスイッチ回路は、制御電圧の電圧レベルに応じてオン／オフするトランジスタ素子を含む、請求項 7 または 8 に記載の発振回路。

【請求項 11】 前記 LC 共振回路において、さらに、容量素子の容量値を可変とする、請求項 7 または 8 に記載の発振回路。

【請求項 12】 第 2 の入出力端子が固定ノードに共通に接続され、インダクタンスを可変とする、前記第 1 および第 2 のインダクタンス可変部と、前記第 1 および第 2 のインダクタンス可変部の第 1 の入出力端子の間に結合される、第 1 のスイッチ回路とからなるインダクタ対を備えた L 負荷差動回路であって、

各前記第 1 および第 2 のインダクタンス可変部は、



前記第 1 の入出力端子を始点として、半導体基板上に層間絶縁膜を介して形成されたスパイラル状の配線層と、

前記配線層の任意の位置に第 1 の端子が接続され、第 2 の端子が共通に前記第 2 の入出力端子に接続される、複数の第 2 のスイッチ回路とを有し、

前記複数の第 2 のスイッチ回路のうちのいずれか 1 つがオンされると、前記配線層上の前記オンされた第 2 のスイッチ回路の接続位置と前記第 2 の入出力端子とを電気的に結合し、

前記第 1 のスイッチ回路は、前記第 2 のスイッチ回路がオンされたことに応じてオンされると、前記第 1 および第 2 のインダクタンス可変部を電気的に結合する、L 負荷差動回路。

【請求項 1 3】 第 2 の入出力端子が固定ノードに共通に接続され、インダクタンスを可変とする、前記第 1 および第 2 のインダクタンス可変部と、前記第 1 および第 2 のインダクタンス可変部の第 1 の入出力端子の間に結合される、第 1 のスイッチ回路とからなるインダクタ対を備えた L 負荷差動回路であって、

各前記第 1 および第 2 のインダクタンス可変部は、

前記第 1 の入出力端子を始点として、半導体基板上に層間絶縁膜を介して形成された複数のスパイラル状の配線層と、

各前記複数の配線層の終点と前記第 2 の入出力端子との間に結合された複数の第 2 のスイッチ回路とを有し、

前記複数の第 2 のスイッチ回路のうちのいずれか 1 つがオンされると、前記複数の配線層のうち、前記オンされた第 2 のスイッチ回路が接続される 1 つの配線層の終点と前記第 2 の入出力端子とを電気的に結合し、

前記第 1 のスイッチ回路は、前記第 2 のスイッチ回路がオンされたことに応じてオンされると、前記第 1 および第 2 のインダクタンス可変部を電気的に結合する、L 負荷差動回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、発振回路および L 負荷差動回路に関し、より特定的には、LC 共

振回路を用いた発振回路と、該発振回路に搭載可能なL負荷差動回路に関する。

【0002】

【従来の技術】

携帯電話に代表される無線機器において、受信信号を復調可能な低周波信号へ周波数変換すること、および送信信号を高周波の信号に周波数変換するために用いられる局部発振回路は、広い発振周波数範囲とともに、発振周波数近傍の雑音（位相雑音）が低いことが求められる。

【0003】

局部発振回路の1つである電圧制御発振回路（VCO: Voltage Control Oscillator）は、回路の正帰還による発振現象を利用した回路であり、制御信号により発振周波数を制御できる。一般にVCOには、共振回路を利用する方法と、回路の遅延時間を利用する方法とがある。

【0004】

共振回路を利用したVCOとしては、トランジスタによる正帰還回路の負性抵抗特性を利用した発振回路として、負性コンダクタンスLC発振回路が知られている（例えば、非特許文献1参照）。本発振回路は、インダクタ素子と容量素子とによるLC共振回路を用いるので、良好な位相雑音特性が得られ、携帯無線機器用VCOへの応用が期待されている。

【0005】

ここで、従来のVCOの構成および動作について、負性コンダクタンスLC発振回路を例に説明する。

【0006】

従来のVCOは、2つのインダクタ素子と2つのダイオード素子とからなるLC共振回路と、互いのトランジスタのゲートとドレインとを導掛け接続した2つのトランジスタからなる正帰還回路とで構成される。

【0007】

本構成において、正帰還回路の入力インピーダンス $R_{in}$ は、各トランジスタの相互コンダクタンスを $g_m$ とすると、 $R_{in} = -2/g_m$ であることから、入力インピーダンスの絶対値 $|R_{in}|$ が共振回路の等価並列抵抗と等しい、もしくはそれ

以下であれば、VCOは発振する。ここで、2つのインダクタ素子のインダクタンスを $L_1 = L_2 = L$ とし、可変接合容量を $C_{var}$ とすると、このときの発振周波数 $f_{osc}$ は、式(1)で与えられる。

【0008】

【数1】

$$f_{osc} = \frac{1}{2\pi\sqrt{LC_{var}}} \quad \dots(1)$$

【0009】

したがって、発振周波数 $f_{osc}$ の制御は、ダイオード素子に接続された制御電圧によって、接合容量 $C_{var}$ を可変にすることで行なうことができる。

【0010】

なお、VCOの発振振幅 $A_{osc}$ は、式(2)で表わされ、発振周波数 $f_{osc}$ に比例した値となる。

【0011】

【数2】

$$A_{osc} \propto 2\pi f_{osc} L \quad \dots(2)$$

【0012】

ところで、上記の差動構成のVCOに内包されるLC共振回路は、1～2GHzの用途では、集積化したときの面積の点から、集中定数のLC形が主流とされる。容量素子としては、主として、可変容量（バラクタダイオード）が用いられる。一方、インダクタ素子は、スパイラル形状の配線と引出し線配線とからなるスパイラルインダクタが用いられており、トランジスタ素子とともに同一基板上に形成されるのが一般的である。

【0013】

したがって、インダクタ素子のインダクタンスは、スパイラルの形状によって一義的に決まり、マスクデザインを変更しない限り、調整することができない。

【0014】

一方で、同一基板上に形成されたトランジスタ素子は、製造工程のばらつきにより、必ずしも設計どおりの特性を示さないことから、インダクタ素子との間でインピーダンス不整合が起こり、歩留りを下げる要因となっていた。

【0015】

そこで、最近では、インダクタ素子を回路に組み込んだ状態でもインダクタンスを変化できるインダクタンス可変素子が、数々提案されている（例えば、特許文献1，2参照）。

【0016】

例えば、特許文献1に記載のインダクタンス可変素子は、半導体基板上に絶縁膜を介して形成されたスパイラル電極と、このスパイラル電極の各周回部分を短絡するためのスイッチ回路とを含んで構成される。

【0017】

この構成において、スイッチ回路が所定の印加電圧に応じてオン状態に駆動されると、対応するスパイラル電極の周回部分が部分的に短絡される。この結果、インダクタンス可変素子は、ターン数が増加することから、全体としてのインダクタンスを変化することができる。

【0018】

【特許文献1】

特開平7-142258号公報（第4頁、第1図）

【0019】

【特許文献2】

特開平8-162331号公報（第4頁、第1図）

【0020】

【非特許文献1】

A.Yamagishi et al., "A Low-Voltage 6-GHz-Band CMOS Monolithic LC-Tank VCO Using a Tuning-Range Switching Technique", IEICE Trans. Fundamentals, vol. E84-A, no.2, Feb. 2001.

【0021】

【発明が解決しようとする課題】

従来のVCOにおける発振周波数 $f_{osc}$ の制御は、先述のように、可変容量 $C_{var}$ によって行われる。しかしながら、可変容量 $C_{var}$ の増加に伴って、LC共振回路の等価並列抵抗が低下することから、高い容量値においては、VCOが発振状態から外れる可能性が生じてしまい、広い発振周波数範囲の実現が困難となっていた。

#### 【0022】

さらに、VCOの発振振幅 $A_{osc}$ は、発振周波数 $f_{osc}$ に比例することから、低周波数域では発振振幅 $A_{osc}$ が低下し、発振信号の対雑音との比が小さくなることから、位相雑音特性が劣化するという問題が起きていた。

#### 【0023】

また、上記のインダクタンス可変素子においては、インダクタ素子に直列接続されるスイッチ回路のオン抵抗に起因して、Q値が低下してしまうという不具合が発生していた。したがって、該インダクタンス素子で構成した発振回路においては、位相雑音特性の劣化を招くこととなる。

#### 【0024】

それゆえ、この発明の目的は、広い発振周波数範囲と低位相雑音特性とを備えた発振回路を提供することである。

#### 【0025】

この発明の他の目的は、該発振回路に搭載されて、上記の性能を実現するL負荷差動回路を提供することである。

#### 【0026】

##### 【課題を解決するための手段】

この発明のある局面に従えば、LC共振回路の正帰還によって発振する発振回路であって、LC共振回路は、スイッチ回路によってインダクタンスを可変とするインダクタンス可変部と、容量素子とを含む。

#### 【0027】

この発明の他の局面に従えば、正帰還結合された一対のトランジスタと、差動型のLC共振回路とからなる発振回路であって、LC共振回路は、第1および第2の入出力端子を含み、第2の入出力端子が固定ノードに共通に接続され、イン

ダクタンスを可変とする、第1および第2のインダクタンス可変部と、第1および第2のインダクタンス可変部の第1の入出力端子の間に結合される、第1のスイッチ回路とを含む。各第1および第2のインダクタンス可変部は、第1の入出力端子を始点として、半導体基板上に層間絶縁膜を介して形成されたスパイラル状の配線層と、配線層の任意の位置に第1の端子が接続され、第2の端子が共通に第2の入出力端子に接続される、複数の第2のスイッチ回路とを有する。発振回路は、複数の第2のスイッチ回路のうちのいずれか1つがオンされると、配線層上のオンされた第2のスイッチ回路の接続位置と第2の入出力端子とを電気的に結合する。第1のスイッチ回路は、第2のスイッチ回路がオンされたことに応じてオンされると、第1および第2のインダクタンス可変部を電気的に結合する。

【0028】

#### 【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0029】

#### 【実施の形態1】

図1は、この発明の実施の形態1に従う発振回路の構成を示す図である。なお、以下の実施の形態では、発振回路の一例として、電圧制御発振回路を用いて説明する。

【0030】

図1を参照して、電圧制御発振回路は、インダクタンスを可変とするインダクタンス可変部Lvar1、Lvar2と容量素子C1とからなる差動型のLC共振回路と、NチャネルMOSトランジスタM1、M2からなる正帰還回路とから構成される。

【0031】

インダクタンス可変部Lvar1、Lvar2は、それぞれ、第1および第2の入出力端子を有しており、第2の入出力端子が、外部電源ノードVddに共通に接続される。一方、第1の入出力端子は、出力ノードOUT、OUTBにそれ

ぞれ接続される。インダクタンス可変部  $L_{var1}$ ,  $L_{var2}$  の第1の入出力端子間には、さらに、容量素子  $C_1$  が接続される。電圧制御発振回路における発振周波数  $f_{osc}$  は、インダクタンス可変部のインダクタンス値と容量値とから求めることができる。

【0032】

正帰還回路は、インダクタンス可変部  $L_{var1}$  と定電流源  $I_{bias}$  との間に電気的に結合されたNチャネルMOSトランジスタ  $M1$  と、インダクタンス可変部  $L_{var2}$  と定電流源  $I_{bias}$  との間に電気的に結合されたNチャネルMOSトランジスタ  $M2$  とを備える。

【0033】

NチャネルMOSトランジスタ  $M1$ ,  $M2$  は、互いにゲートが他方のドレインに導掛け接続されており、クロスカップリング構成をなす。

【0034】

次に、図1の電圧制御発振回路の動作について説明する。

図1を参照して、電圧制御発振回路の正帰還回路は、二端子回路としてみることができることから、NチャネルMOSトランジスタ  $M1$ ,  $M2$  のドレインから見た入力インピーダンス  $R_{in}$  は、 $R_{in} = -2/g_m$  と表わされる。ここで、 $g_m$  とは、各NチャネルMOSトランジスタの相互コンダクタンスである。したがって、入力インピーダンス  $R_{in}$  の絶対値  $|R_{in}|$  が、LC共振回路の等価並列抵抗の値と等しい、もしくはそれ以下であれば、本回路は発振する。なお、この回路は、「負性コンダクタンスLC発振回路」とも呼ばれる。

【0035】

ここで、本回路が上記の発振条件を満たすときにおいて、発振周波数  $f_{osc}$  は、インダクタンス可変部  $L_{var1}$ ,  $L_{var2}$  のインダクタンス値を  $L$  とし、容量素子  $C_1$  の容量値を  $C_1$  とすると、式(3)で与えられる。なお、各受動素子および配線等の持つ寄生容量については、無視するものとする。

【0036】

【数 3】

$$f_{osc} = \frac{1}{2\pi\sqrt{LC_1}} \quad \dots(3)$$

【0037】

また、発振振幅  $A_{osc}$  は、式 (4) で与えられる。

【0038】

【数 4】

$$A_{osc} \propto 2\pi f_{osc} L \quad \dots(4)$$

【0039】

式 (3) から明らかなように、発振周波数  $f_{osc}$  は、インダクタンス値  $L$  に応じて、変化する。例えば、インダクタンス値  $L$  を大きくすれば、発振周波数  $f_{osc}$  は低下する。このとき、発振振幅  $A_{osc}$  は、式 (4) を参照して、インダクタンス値  $L$  の増加によって発振周波数  $f_{osc}$  を下げているため、低い周波数域においても劣化が抑えられる。したがって、従来の VCO において低い発振周波数域に見られた、発振振幅の低下に基づく位相雑音特性の劣化を回避することができる。

【0040】

ここで、図 1 の電圧制御発振回路において、LC 共振回路を構成するインダクタンス可変部  $L_{var1}$ 、 $L_{var2}$  の具体的な構成例について説明する。

【0041】

図 2 は、インダクタンス可変部  $L_{var1}$ 、 $L_{var2}$  の構成の一例を概略的に示す図である。インダクタンス可変部  $L_{var1}$ 、 $L_{var2}$  は、同一の構成であることから、同図では、代表的にインダクタンス可変部  $L_{var1}$  について説明する。

【0042】

図 2 を参照して、インダクタンス可変部  $L_{var1}$  は、図示しない半導体基板上に層間絶縁膜を介して形成されたスパイラル状の配線層と、スイッチ回路  $SW1 \sim SW3$  とを含む。



## 【0043】

スパイラル状の配線層は、例えば、アルミニウムや銅等の金属材料で形成されており、その形状は、図2のような四角形に限らず、その他の多角形や円形などをも含む。

## 【0044】

スイッチ回路SW1～SW3は、それぞれ、第1の端子がスパイラル状配線層のターンごとに接続され、第2の端子がインダクタ素子の入出力端子に接続される。スイッチ回路SW1～SW3にはそれぞれ、オン/オフ動作を制御するための制御信号S1～S3が入力される。

## 【0045】

図3は、スイッチ回路SW1～SW3の構成の一例を示す図である。

図3を参照して、スイッチ回路SW<sub>n</sub>（<sub>n</sub>は1以上3以下の自然数）は、例えば、NチャネルMOSトランジスタ10で構成することができる。NチャネルMOSトランジスタ10は、ゲートに制御信号S<sub>n</sub>としての制御電圧V<sub>sw</sub>が印加されると、その電圧レベルに応じて、オン/オフされる。制御電圧V<sub>sw</sub>がH（高電位）レベルであれば、NチャネルMOSトランジスタ10は、オンされ、スパイラル状配線層の対応部分とインダクタ素子の入出力端子とが電気的に結合される。一方、制御電圧V<sub>sw</sub>がL（低電位）レベルであれば、NチャネルMOSトランジスタ10は、オフされる。これによって、スパイラル状配線層の対応部分とインダクタ素子の入出力端子とは電気的に分離される。

## 【0046】

したがって、複数のスイッチ回路のうち、1つのスイッチ回路を選択してHレベルの制御電圧V<sub>sw</sub>を入力し、残りのスイッチ回路にはLレベルの制御電圧V<sub>sw</sub>を入力することによって、所望のインダクタンス値を得ることができる。

## 【0047】

なお、図2の構成のインダクタンス可変部においては、スイッチ回路SW1～SW3は、スパイラル状配線層のターンごとに設けられていることから、離散的なインダクタンス値を得ることができる。

## 【0048】

また、図3においては、スイッチ回路として、NチャネルMOSトランジスタを使用した、NチャネルMOSトランジスタの代わりにバイポーラトランジスタまたはGaAsMESFET (Metal Semiconductor Field-Effect Transistor) であってもよい。

【0049】

図4は、図2のインダクタンス可変部Lvar1の等価回路図である。

図4を参照して、インダクタンス可変部は、ターンごとに配設されたスイッチ回路SW1～SW3によって、3つのインダクタ素子L1, L2, L3に分割されている。ここで、各インダクタ素子のインダクタンス値をそれぞれ、L1, L2, L3とする。

【0050】

例えば、スイッチ回路SW1をオンしたときにおいて、インダクタ素子全体のインダクタンス値はL1となる。また、スイッチ回路SW2をオンしたときのインダクタンス値は、(L1+L2)となる。このように、スイッチ回路SW1～SW3のいずれか1つを選択的にオンすることによって、得られるインダクタンス値は、L1以上(L1+L2+L3)以下を可変範囲とする離散的な値に設定されることとなる。

【0051】

図5は、図1の電圧制御発振回路におけるインダクタンス可変部Lvar1, Lvar2に、図2～4に示すインダクタンス可変部を応用したときの回路構成を示す図である。

【0052】

図5の電圧制御発振回路において、図1のLC共振回路におけるインダクタンス可変部Lvar1, Lvar2は、図4に示す等価回路で表記されており、ターンごとにスイッチ回路SW1～SW3, SW1d～SW3dが配設される。LC共振回路の容量素子C1および正帰還回路の回路構成については、図1のVCOと同様である。したがって、詳細な説明は省略する。

【0053】

スイッチ回路SW1およびSW1dは、1組のスイッチ回路群を構成する。同

様に、スイッチ回路SW2およびSW2dと、スイッチ回路SW3およびSW3dとは、それぞれ1組のスイッチ回路群を構成する。

【0054】

本構成において、3組のスイッチ回路群のうち、いずれか1組のスイッチ回路群が選択されて、スイッチ回路SWnおよびSWndがオンされる。このとき、残りのスイッチ回路群の各スイッチ回路は、オフされたままである。例えば、スイッチ回路SW1, SW1dがオンされると、インダクタンス可変部Lvar1, Lvar2のインダクタンス値は、それぞれL1となる。すなわち、スイッチ回路群の1組を選択的にオンすることによって、インダクタンス可変部のインダクタンスは、上述のように、L1以上(L1+L2+L3)以下を可変範囲として離散的に変化させることができる。この結果、電圧制御発振回路の発振周波数 $f_{osc}$ の可変範囲は、式(5)で表わすことができる。

【0055】

【数5】

$$\frac{1}{2\pi\sqrt{(L_1+L_2+L_3)C}} \leq f_{osc} \leq \frac{1}{2\pi\sqrt{L_1C}} \quad \dots(5)$$

【0056】

なお、この発振周波数可変範囲のうち、低周波数域においても、インダクタンスLの増加によって発振振幅 $A_{osc}$ は劣化しないことから、位相雑音の劣化を招くことがない。

【0057】

したがって、この発明の実施の形態1によれば、広い発振周波数範囲と低位相雑音特性とを有する電圧制御発振回路を実現することができる。

【0058】

〔実施の形態1の変更例〕

このように、本実施の形態の発振回路は、LC共振回路にインダクタンス可変部を用いることにより、発振周波数可変範囲と位相雑音特性とのトレードオフ関係を改善するものである。インダクタンス可変部については、インダクタ素子の

スパイラル状配線層に設けた複数のスイッチ回路の切換えによって、様々なインダクタンス値を容易に得ることができる。以下に、インダクタンス可変部の構成について、他の変更例を説明する。

【0059】

図6は、図2、4に示すインダクタンス可変部Lvar1の第1の変更例の構成を概略的に示す図である。なお、インダクタンス可変部Lvar2については、インダクタンス可変部Lvar1と同じ構成であるため、説明は省略する。

【0060】

図6を参照して、インダクタンス可変部Lvar1は、スパイラル状配線層の1/4ターンごとにスイッチ回路SW1～SW4が配設されており、図2、4のインダクタ素子にさらにスイッチ回路を増設した構成となっている。

【0061】

本構成においても、スイッチ回路SW1～SW4のいずれか1つを選択的にオンすることにより、所望のインダクタンスを得ることができる。さらに、スイッチ回路の配置数を増やしたことにより、インダクタンス値の可変範囲を広げるとともに、より細かい制御が可能となる。

【0062】

したがって、図6のインダクタンス可変部を図1の電圧制御発振回路のLC共振回路に搭載すれば、発振周波数 $f_{osc}$ の周波数可変範囲を広くすることができる。なお、スイッチ回路の配置数と、スパイラル状配線層への接続位置とは、本実施の形態に限定されず、任意に調整可能であることから、所望の発振周波数を得ることができる。

【0063】

さらに、周波数可変範囲の低周波数域においても、大きいインダクタンスによって発振振幅 $A_{osc}$ の低減が抑えられることから、位相雑音特性の劣化は回避される。

【0064】

〔実施の形態1の変更例2〕

図7は、図2、4のインダクタンス可変部Lvar1の第2の変更例の構成を

示す等価回路図である。

【0065】

図7を参照して、インダクタンス可変部  $L_{var1}$  は、図4のインダクタンス可変部の等価回路において、ターンごとに配設されたスイッチ回路  $SW1 \sim SW3$  に加えて、新たにスイッチ回路  $SW4$ 、 $SW5$  が付加された構成となっている。

【0066】

スイッチ回路  $SW4$  は、入出力端子1と入出力端子2との間に、インダクタ素子  $L1 \sim L3$  に並列に接続される。スイッチ回路  $SW5$  は、入出力端子1とスイッチ回路  $SW2$  の1の端子との間に、インダクタ素子  $L1$ 、 $L2$  と並列に接続される。

【0067】

この構成において、スイッチ回路  $SW1 \sim SW5$  を選択的にオンすることにより、インダクタンスをより細かいステップで変化させることができる。例えば、スイッチ回路  $SW1$  のみをオンしたときには、インダクタンス値  $L1$  が得られる。スイッチ回路  $SW2$  のみをオンすると、インダクタンス値は、 $(L1 + L2)$  となる。同様に、スイッチ回路  $SW3$  をオンすれば、インダクタンス値は、 $(L1 + L2 + L3)$  となる。

【0068】

さらに、スイッチ回路  $SW4$ 、 $SW3$  をオンすれば、インダクタンス値は、ほぼ0になる。また、スイッチ回路  $SW5$ 、 $SW3$  をオンすれば、インダクタンス値は、 $L3$  となる。

【0069】

このように、複数のスイッチ回路のオン/オフの組合せによって、インダクタンスを細かく変化させることができる。したがって、図7のインダクタンス可変部を図1の電圧制御発振回路のLC共振回路に適用すれば、発振周波数  $f_{osc}$  の周波数可変範囲を広くすることができるとともに、より細密な制御が可能となる。

【0070】

### 【実施の形態1の変更例3】

図8は、図2、4のインダクタンス可変部Lvar1の第3の変更例の構成を示す回路図である。

#### 【0071】

図8を参照して、インダクタンス可変部Lvar1は、図2に示すインダクタ素子の等価回路において、ターンごとに配設されたスイッチ回路SW1～SW3に加えて、新たにスイッチ回路SW4～SW9が付加された構成となっている。

#### 【0072】

スイッチ回路SW4～SW6は、それぞれ、インダクタ素子L1～L3に並列に接続される。スイッチ回路SW7は、インダクタ素子L2の一端とインダクタ素子L3の一端との間に並列に接続される。スイッチ回路SW8は、インダクタ素子L1の一端とインダクタ素子L2の一端との間に並列に接続される。スイッチ回路SW9は、インダクタ素子L1の一端とインダクタ素子L3の一端との間に並列に接続される。

#### 【0073】

この構成において、スイッチ回路SW1～SW9を選択的にオンすることによって、図2および図7に示すインダクタンス可変部に対して、さらに細かに制御されたインダクタンスを得ることができる。

#### 【0074】

例えば、スイッチ回路SW2、SW4をオンすれば、インダクタンス値L2を得ることができる。また、スイッチ回路SW3、SW8をオンすることによって、インダクタンス値L3を得る。また、スイッチ回路SW3およびSW4をオンすれば、インダクタンス値(L2+L3)が得られる。

#### 【0075】

このように、複数のスイッチ回路のオン/オフの組合せによって、インダクタンスの可変範囲内において、より細かく設定させることができる。したがって、図8のインダクタンス可変部を図1の電圧制御発振回路のLC共振回路に搭載すれば、発振周波数 $f_{osc}$ の周波数可変範囲を広くできるとともに、より細密な制御が可能となる。

【0076】

〔実施の形態1の変更例4〕

図9は、図2のインダクタンス可変部Lvar1の第4の変更例の構成を示す回路図である。

【0077】

図9を参照して、インダクタンス可変部Lvar1は、インダクタンスの異なる複数のインダクタ素子L1～L3と、各インダクタ素子の図示しないスパイラル状配線層の一端と入出力端子との間に結合されたスイッチ回路SW1～SW3とを備える。

【0078】

図2のインダクタンス可変部は、1つのスパイラル状配線層に複数のスイッチ回路を配設することによって、インダクタンスを可変としていたのに対して、図9のインダクタ素子は、1つのスパイラル状配線層に1つのスイッチ回路を備えた構成としている。したがって、図9のインダクタンス可変部においては、所望のインダクタンスを有するインダクタ素子に対応するスイッチ回路のみをオンすることにより、インダクタンスを変化させることができる。

【0079】

本構成のインダクタンス可変部は、複数のスパイラル状配線層を並列に配置することから、回路規模が大きくなるものの、1つのインダクタ素子当たりのスイッチ回路数は低減されることから、回路構成が簡素になるという利点がある。

【0080】

〔実施の形態2〕

図10は、この発明の実施の形態2に従う発振回路の一例を示す図である。なお、実施の形態1と同様に、発振回路の一例として、電圧制御発振回路を用いて説明する。

【0081】

図10を参照して、電圧制御発振回路は、図1の電圧制御発振回路に対して、LC共振回路を構成する容量素子の容量を可変とした点でのみ異なっており、共通する部分については、説明を繰り返さない。

【0082】

LC共振回路は、外部電源ノードV<sub>dd</sub>と出力ノードOUT、OUTBとの間にそれぞれ結合されたインダクタンス可変部L<sub>var1</sub>、L<sub>var2</sub>と、インダクタ素子L<sub>var1</sub>、L<sub>var2</sub>の第1の入出力端子の間に接続された可変容量素子C<sub>var</sub>とからなる。以下において、各受動素子のインダクタンスおよび容量値をそれぞれL、Cとする。

【0083】

この構成において、電圧制御発振回路の発振周波数f<sub>osc</sub>は、各受動素子や配線等の寄生容量等を無視すると、式(6)で与えられる。

【0084】

【数6】

$$f_{osc} = \frac{1}{2\pi\sqrt{LC}} \quad \dots(6)$$

【0085】

また、発振振幅A<sub>osc</sub>は、式(7)によって与えられる。

【0086】

【数7】

$$A_{osc} \propto 2\pi f_{osc} \cdot L \quad \dots(7)$$

【0087】

式(6)から明らかなように、発振周波数f<sub>osc</sub>は、インダクタンスLと容量値Cとの2つの変数の組合せによって決定されることから、インダクタンスのみを変数とする実施の形態1の電圧制御発振回路に対して、発振周波数の可変範囲をより広げることができる。

【0088】

また、実施の形態1と同様に、インダクタンスLを大きくすることによって発振周波数を下げることができることから、低い発振周波数においても、発振振幅A<sub>osc</sub>の劣化を小さくできる。ひいては、低発振周波数での位相雑音特性の劣化



を抑制することができるため、発振周波数の可変範囲と位相雑音とのトレードオフを改善することができる。

【0089】

〔実施の形態3〕

図11は、この発明の実施の形態3に従う発振回路の構成を示す図である。なお、発振回路として、電圧制御発振回路を例として説明する。

【0090】

図11を参照して、電圧制御発振回路は、図5の実施の形態1の電圧制御発振回路に対して、差動型LC共振回路のインダクタンス可変部Lvar1とインダクタンス可変部Lvar2との間に、スイッチ回路SW1dd～SW3ddを付加した構成となっており、共通する部分については、説明を省略する。

【0091】

インダクタンス可変部Lvar1, Lvar2は、図2のインダクタンス可変部Lvar1と同様に、ターンごとに配設されたスイッチ回路SW1～SW3, SW1d～SW3dをそれぞれ備える。

【0092】

さらに、スイッチ回路SW1, SW1d間には、スイッチ回路SW1ddが配設される。スイッチ回路SW2, SW2d間には、スイッチ回路SW2ddが配設される。スイッチ回路SW3, SW3d間には、スイッチ回路SW3ddが配設される。なお、スイッチ回路SW1, SW1d, SW1ddで1組のスイッチ回路群1を構成し、スイッチ回路SW2, SW2d, SW2ddで1組のスイッチ回路群2を構成し、スイッチ回路SW3, SW3d, SW3ddで1組のスイッチ回路群3を構成することとする。

【0093】

スイッチ回路群1～3のいずれか1つが選択されることによって、構成するスイッチ回路SWn, SWnd, SWndd (nは1以上3以下の自然数)は、いずれもオン状態に駆動される。この結果、インダクタンス可変部Lvar1とインダクタンス可変部Lvar2とは、電氣的に結合された状態となり、インダクタ対を構成することとなる。

【0094】

図12は、図11の電圧制御発振回路におけるスイッチ回路群1～3の構成を概略的に示す図である。スイッチ回路群1～3の構成は共通することから、スイッチ回路群1の構成について代表的に説明する。

【0095】

図12に示すように、スイッチ回路SW1、SW1dは、それぞれ、外部電源ノードVddとインダクタ素子L1との間に並列に接続される。さらに、スイッチ回路SW1、SW1dの間には、スイッチ回路SW1ddが結合される。

【0096】

以下に、スイッチ回路SW1dd～SW3ddを設けたことによる効果について説明する。

【0097】

図11の電圧制御発振回路において、1組のスイッチ回路群を選択してオンする。例えば、スイッチ回路群1を選択したとすると、スイッチ回路SW1、SW1d、SW1ddがオンされる。これによって、外部電源ノードVddと出力ノードOUT、OUTBとの間のインダクタンス可変部Lvar1、Lvar2のインダクタンスは、それぞれL1に設定される。

【0098】

インダクタンス可変部Lvar1、Lvar2は、さらに、スイッチ回路SW1ddを介して電気的に結合された状態となっている。このときのスイッチ回路群1のみを抽出した等価回路は、図13で表わすことができる。なお、抵抗素子Rは、各スイッチ回路のオン抵抗である。

【0099】

ここで、図13の3つの抵抗素子Rからなる等価回路図において、抵抗素子Rの $\Delta$ 接続をY接続に変換すると、スイッチ回路群1は、図14の等価回路で与えられる。同図に示すように、等価回路を構成する3つの抵抗素子の抵抗値は、 $R/3$ となる。したがって、図11のインダクタンス可変部Lvar1、Lvar2に内包されるインダクタ素子のそれぞれに直列接続される抵抗成分は、 $R/3$ となる。

## 【0100】

一方で、図5の電圧制御発振回路においては、各インダクタンス可変部において、インダクタ素子に直列接続される抵抗成分は、スイッチ回路SW1～SW3，SW1d～SW3dのオン抵抗Rとなる。すなわち、スイッチ回路SW1d～SW3dの挿入によって、抵抗成分を1/3に低減することができる。

## 【0101】

LC共振回路のQ値は、インダクタ素子に直列接続される抵抗成分が小さいと高くなる一方で、抵抗成分が大きいと低くなる特性を有する。したがって、本実施の形態の電圧制御発振回路における共振回路は、スイッチ回路SW1d～SW3dによる抵抗成分の低減により、図5のLC共振回路に比べて、より高いQ値を得ることができる。このことは、結果として、電圧制御発振回路の低位相雑音特性をもたらすこととなる。

## 【0102】

なお、本構成の差動型LC共振回路は、本実施の形態で示す電圧制御発振回路だけでなく、差動型LC共振回路を負荷とする差動増幅器およびミキサ等のRF回路にも適用可能であり、高いQ値による高利得特性および低雑音特性の実現を可能とする。また、容量素子を接続せず、単にL負荷差動回路として該RF回路等に用いれば、インダクタンス値を可変とする特徴を生かして、利得が可変な回路を実現することができる。

## 【0103】

図15は、図11の電圧制御発振回路に内包される差動型LC共振回路において、インダクタンス可変部Lvar1，Lvar2の具体的なレイアウト構成を示す図である。

## 【0104】

図15を参照して、インダクタンス可変部Lvar1，Lvar2は、2つのスパイラル状配線層が組み合わせられた差動型インダクタを構成する。2つのインダクタンス可変部に共通の入出力端子1は、図示しない外部電源ノードVddに接続される。一方、各インダクタンス可変部の他方の入出力端子2，3は、それぞれ、図示しない電圧制御発振回路の出力ノードOUT，OUTBに接続される。

## 【0105】

2つのインダクタンス可変部を図15のような差動型インダクタで構成することにより、スイッチ回路SW1dd～SW3ddを挿入する際に、回路規模の増大を伴うことなく、コンパクトに作成することができる。

## 【0106】

以上のように、この発明の実施の形態3に従えば、2つのインダクタンス可変部を両者間に設けたスイッチ回路によって電氣的に結合して、1つのインダクタ対を構成することにより、インダクタ素子に直列接続される抵抗成分を低減することができることから、差動型LC共振回路のQ値の劣化を抑制することができる。電圧制御発振回路の低位相雑音特性を確保することができる。

## 【0107】

また、差動型LC共振回路において、インダクタ対を差動型インダクタで構成することにより、スイッチ回路の挿入に伴う回路規模の増大を抑えることができ、電圧制御発振回路をレイアウト的にコンパクトに作成することができる。

## 【0108】

## 【実施の形態3の変更例】

図16は、この発明の実施の形態3の変更例に従う発振回路としての電圧制御発振回路の構成を示す回路図である。

## 【0109】

図16を参照して、電圧制御発振回路は、図11の電圧制御発振回路に対して、差動型LC共振回路に内包されるインダクタ対を、それぞれが複数のインダクタ素子からなるインダクタンス可変部Lvar1、Lvar2とスイッチ回路SW1dd～SW3ddとで構成したものである。したがって、図11の電圧制御発振回路と共通する部分については、詳細な説明は省略する。

## 【0110】

インダクタ対は、外部電源ノードVddに対して並列に接続された2つのインダクタンス可変部Lvar1、Lvar2と、インダクタンス可変部Lvar1、Lvar2の間に配設されたスイッチ回路SW1dd～SW3ddとで構成さ

れる。

#### 【0111】

インダクタンス可変部  $L_{var1}$ ,  $L_{var2}$  は、それぞれ、図9に示すものと同一の構成である。インダクタンス可変部  $L_{var1}$  は、外部電源ノード  $V_d$  と電圧制御発振回路の出力ノード  $OUT$  との間にそれぞれ並列に接続された、インダクタンスの異なる複数のインダクタ素子  $L_1 \sim L_3$  と、各インダクタ素子  $L_1 \sim L_3$  と外部電源ノード  $V_d$  との間に結合されたスイッチ回路  $SW_1 \sim SW_3$  とを含む。インダクタンス可変部  $L_{var2}$  も同様に、外部電源ノード  $V_d$  と電圧制御発振回路の出力ノード  $OUTB$  との間に並列に接続された、インダクタンスの異なる複数のインダクタ素子  $L_1 \sim L_3$  と、各インダクタ素子  $L_1 \sim L_3$  と外部電源ノード  $V_d$  との間に結合されたスイッチ回路  $SW_{1d} \sim SW_{3d}$  とを含む。

#### 【0112】

この構成において、インダクタンス可変部  $L_{var1}$ ,  $L_{var2}$  は、それぞれ、複数のスイッチ回路  $SW_1 \sim SW_3$ ,  $SW_{1d} \sim SW_{3d}$  のいずれか1つをオンすることによって、所望のインダクタンスを得ることができる。

#### 【0113】

さらに、スイッチ回路  $SW_n$ ,  $SW_{nd}$  がオンされると同時に、インダクタンス可変部間に設けられたスイッチ回路  $SW_{1d} \sim SW_{3d}$  のうち、対応する1つのスイッチ回路  $SW_{nd}$  がオンされて、インダクタ対を構成する。これによって、実施の形態3と同様に、インダクタンス素子に接続される直列抵抗成分が、 $R/3$  に低減されることとなる。したがって、差動型LC共振回路において、高いQ値が得られることから、電圧制御発振回路の低位相雑音特性が保証されることとなる。

#### 【0114】

なお、実施の形態3と同様に、本構成の差動型LC共振回路は、差動増幅器およびミキサ等のRF回路にも適用可能であり、高いQ値に基づく高利得特性および低雑音特性を可能とする。また、容量素子を接続せずに、単にL負荷差動回路として該RF回路等に用いることで、インダクタンス値が可変となる特徴を生か

して、利得が可変な回路を実現することが可能となる。

【0115】

以上、実施の形態1～3に示したように、本発明に係る発振回路は、LC共振回路において、スパイラル状配線層に部分的に配設したスイッチ回路の制御によって、インダクタンス値を可変として発振周波数を制御することにより、周波数可変範囲と位相雑音特性とのトレードオフを改善するものである。

【0116】

さらに、実施の形態3では、差動型LC共振回路において、2つのインダクタンス可変部をスイッチ回路を介して電気的に結合したインダクタ対を構成することにより、インダクタ素子に直列接続される抵抗成分を低減し、高いQ値を実現した。本構成の共振回路を電圧制御発振回路に配設することにより、低位相雑音特性が得られる。

【0117】

一方で、スイッチ回路の挿入損失が、今なお共振回路のQ値ならびに電圧制御発振回路の位相雑音特性に与える影響が大きいことから、挿入損失をさらに低下させることが望まれる。

【0118】

そこで、スイッチ回路を、例えば、Depletion-layer-Extended Transistor（以下、DETとも称する）のような低挿入損失のトランジスタで構成すれば、位相雑音特性をさらに改善することが可能となる。

【0119】

DETとは、従来のCMOSトランジスタから、P型ウェルとP<sup>+</sup>アイソレーション層とパンチスルーストップ層とを削除した素子構造を有しており、低いソース/ドレイン電極の接合容量および高い接地抵抗の実現によって、低挿入損失を可能としたものである。DETの詳細な素子構造については、例えば、文献“A 1.4dB Insertion-Loss, 5GHz Transmit/Receive Switch Utilizing Novel Depletion-Layer-Extended Transistors (DETs) in 0.18 $\mu$ m CMOS Process”, T. Ohnaka, et al., IEEE Symposium on VLSI Technology Digest of Tech. Papers, 16.4, Jun 2002.を参照されたい。

## 【 0 1 2 0 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

## 【 0 1 2 1 】

## 【発明の効果】

この発明は以上に説明したように、発振回路の発振周波数を、LC共振回路のインダクタンスを可変することによって制御することから、低い発振周波数域における位相雑音特性の劣化を伴うことなく、広い発振周波数範囲とともに低位相雑音特性を備える発振回路を実現することができる。

## 【 0 1 2 2 】

また、差動型LC共振回路に内包される2つのインダクタンス可変部を、該インダクタンス可変部の間に配設されたスイッチ回路によって電気的に結合することによって、インダクタ対を構成することにより、共振回路のQ値の劣化を抑制でき、電圧制御発振回路において、低位相雑音特性を得ることができる。なお、差動型LC共振回路は、容量素子を接続しない構成とすれば、高いQ値および可変インダクタンスを有するL負荷差動回路として利用することも可能である。

## 【図面の簡単な説明】

【図1】 この発明の実施の形態1に従う発振回路の一例の構成を示す図である。

【図2】 インダクタンス可変部の構成の一例を概略的に示す図である。

【図3】 スイッチ回路の一例の構成を示す図である。

【図4】 図2のインダクタンス可変部の等価回路図である。

【図5】 図1の電圧制御発振回路におけるインダクタンス可変部Lvar1, Lvar2に、図2～4に示すインダクタンス可変部を応用したときの回路構成を示す図である。

【図6】 図2, 4のインダクタンス可変部の第1の変更例の構成を示す概略的に示す図である。

【図 7】 図 2, 4 のインダクタンス可変部の第 2 の変更例の構成を示す回路図である。

【図 8】 図 2, 4 のインダクタンス可変部の第 3 の変更例の構成を示す回路図である

【図 9】 図 2 のインダクタンス可変部の第 4 の変更例の構成を示す回路図である。

【図 10】 この発明の実施の形態 2 に従う発振回路の一例の構成を示す回路図である。

【図 11】 この発明の実施の形態 3 に従う発振回路の一例の構成を示す回路図である。

【図 12】 図 11 の電圧制御発振回路におけるスイッチ回路群 1 の構成を概略的に示す回路図である。

【図 13】 図 12 のスイッチ回路群 1 の等価回路図である。

【図 14】 図 13 のスイッチ回路群 1 を  $\Delta$  接続から Y 接続に変換したときの等価回路図である。

【図 15】 図 11 のインダクタンス可変部  $L_{var1}$ ,  $L_{var2}$  の具体的なレイアウト構成を示す図である。

【図 16】 この発明の実施の形態 3 の変更例に従う発振回路の一例の構成を示す回路図である。

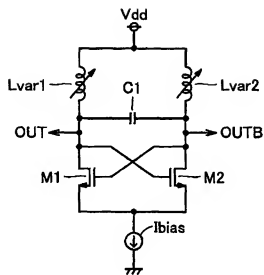
# 【符号の説明】

1, 2, 3 入出力端子、10 NチャネルMOSトランジスタ、 $L_{var1}$ ,  $L_{var2}$  インダクタンス可変部、C1 容量素子、Cvar 可変容量素子、SW1~SW9, SW1d~SW3d, SW1dd~SW3dd スイッチ回路、S1~S9 制御信号、M1, M2 NチャネルMOSトランジスタ、Ibias 定電流源、Vdd 外部電源ノード。

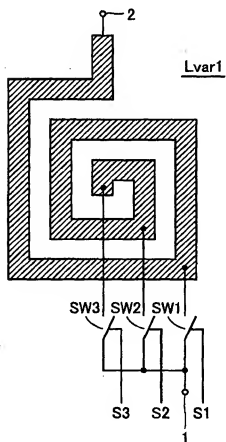


【書類名】 図面

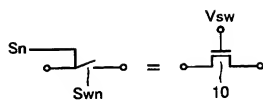
【図1】



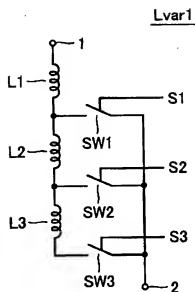
【図2】



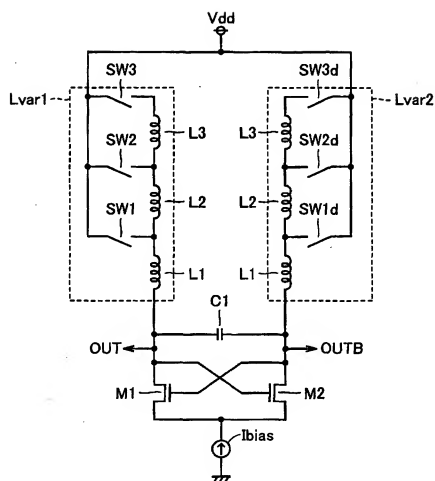
【図3】



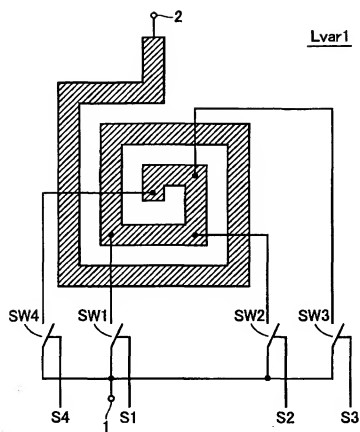
【図4】



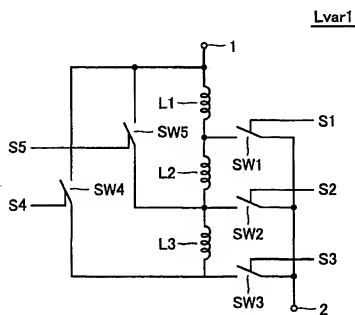
【図5】



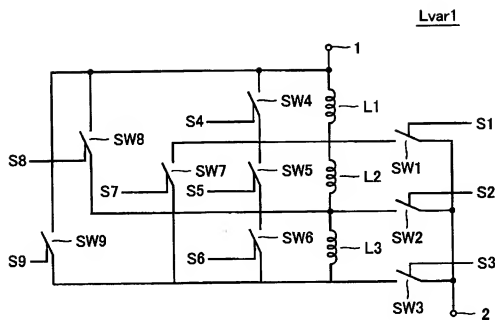
【図6】



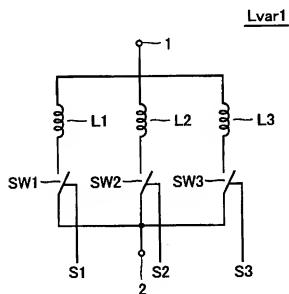
【図7】



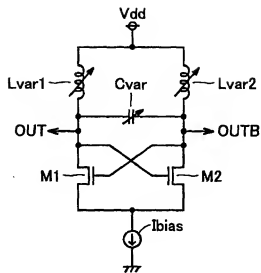
【図8】



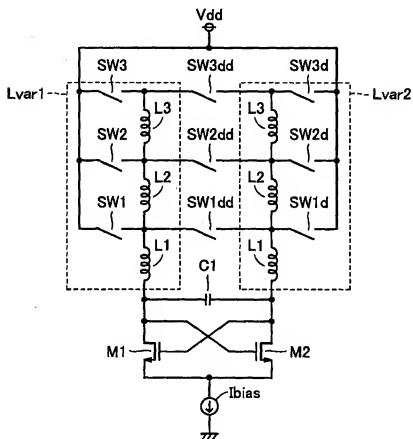
【図9】



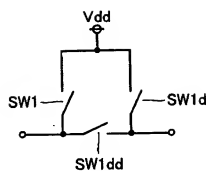
【図10】



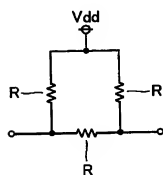
【図11】



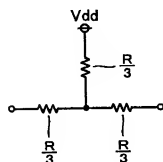
【図12】



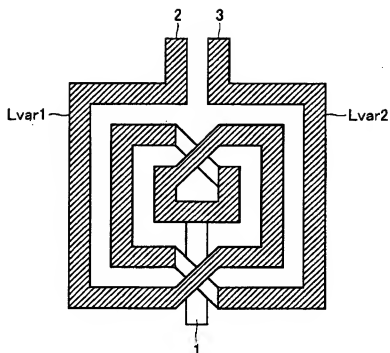
【図13】



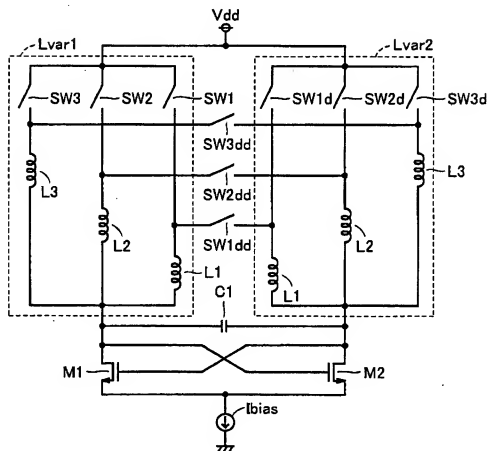
【図14】



【図15】



【図16】





【書類名】 要約書

【要約】

【課題】 広い発振周波数範囲と低位相雑音特性とを備えた発振回路と、該帰還発振回路に搭載し得るL負荷差動回路とを提供する。

【解決手段】 発振回路は、インダクタ可変部Lvar1, Lvar2を含むL負荷差動回路と容量素子Cとからなる差動型LC共振回路と、NチャネルMOSトランジスタM1, M2とからなる正帰還回路とから構成される。インダクタ可変部Lvar1, Lvar2は、スパイラル状配線層の複数の任意の位置と入出力端子との間にそれぞれ配設された複数のスイッチ回路SW1～SW3, SW1d～SW3dの切替によってインダクタンスを可変とし、発振周波数を制御する。インダクタンス可変部Lvar1, Lvar2は、第1の入出力端子間に結合されるスイッチ回路SW1dd～SW3ddのうちのSWnddが、スイッチ回路SWn, SWndとともにオンされると、インダクタ対を構成する。

【選択図】 図11

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社